

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-212519

(43)Date of publication of application : 06.08.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 10-011474

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.01.1998

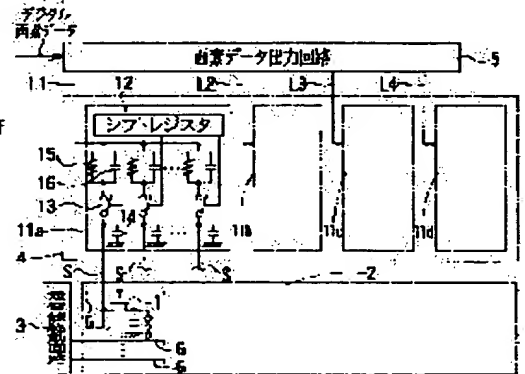
(72)Inventor : SHIMIZU KAN

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a production method of a liquid crystal display device where a luminance difference is not visually recognized between the right and the left of a boundary of two adjacent picture element blocks.

SOLUTION: This liquid crystal display device is provided with a scanning line driving circuit 3 which drives scanning lines, a signal line driving circuit 4 which drives signal lines, and a picture element data output circuit 5 which supplies picture element data to the signal line driving circuit 4 through plural video bus lines. The signal line driving circuit 4 consists of plural signal line driving parts 11a to 11d. The picture element data output circuit 5 supplies picture element data to each signal line driving part through a video bus line exclusively used for each signal line driving part. When supplying picture element data of a picture element nearest to the boundary of a picture element block to a video bus line, the picture element data output circuit 5 supplies picture data of a right or left adjacent picture element to the video bus line together. Thus, a luminance difference is not visually recognized between the right and the left of the boundary of the picture element block.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

(1) 日本公開特許公報 (J P)

(2) 公開特許公報 (A)

(3) 特許公報公開番号

特開平11-212519

(4) 公開日 平成11年(1999)8月6日

(5) 発明者

氏名

氏名

0000 0000
0000 0000

0000

0000 0000
0000 0000

0000

審査請求 本特許 請求項の数 4 (全 7 項)

(2) 出願番号

特願平10-11474

(7) 出願人

KDDI株式会社

株式会社東芝

神奈川県川崎市中原区有明2丁目2番地

(22) 出願日

平成10年(1998)1月23日

(72) 発明者

佐藤 孝

〒100-8555 東京都千代田区千代田1-9-2 株式会社

東芝電子機器株式会社

(73) 代理人

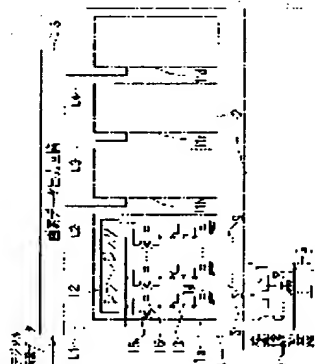
弁護士 佐藤 孝 (特許第1号)

(4) (発明の名称) 液晶表示装置とその駆動方法

【要約】

【課題】隣接する2つの画素ブロックの境界線の左右で輝度差が視認されないようにした液晶表示装置の製造方法を提供する。

【解決手段】液晶表示装置は、走査線を駆動する走査線駆動回路3と、信号線を駆動する信号線駆動回路4と、複数のビデオバスラインを介して信号線駆動回路4に画素データを供給する画素データ出力回路5とを備える。信号線駆動回路4は、複数の信号線駆動回路11a～11dからなる。画素データ出力回路5は、各信号線駆動回路に専用のビデオバスラインを介して、各信号線駆動回路に画素データを供給する。画素データ出力回路5は、画素ブロック10の境界線に最も近い画素の画素データをビデオバスラインに供給する際は、その画素の左隣あるいは右隣の画素の画素データも併せてビデオバスラインに供給する。これにより、画素ブロック10の境界線の左右で輝度差が視認されなくなる。



【特許請求の範囲】

【請求項1】複数の走査線および信号線と、これら走査線および信号線に接続されるスイッチング素子とを有する液晶表示部と、

前記液晶表示部の左右に隣接する複数の画素を単位として複数の分割した画素ブロックごとに設けられ、前記画素ブロック内の前記信号線を駆動する複数の信号線駆動部と、を備えた液晶表示装置において、

隣接する2つの画素ブロックに対応する2つの前記信号線駆動部のそれぞれには、互いに異なるビデオバスラインから画素データが供給され、

隣接する2つの画素ブロックの境界線より右側の画素ブロックの表示を行う際、前記右側の画素ブロック内の左端の画素に対応する画素データを前記ビデオバスラインに供給する前に、その画素の左隣の所定画素分の画素データを前記ビデオバスラインに供給する画素データ出力手段を備えることを特徴とする液晶表示装置。

【請求項2】複数の走査線および信号線と、これら走査線および信号線に接続されるスイッチング素子とを有する液晶表示部と、

前記液晶表示部の左右に隣接する複数の画素を単位として複数の分割した画素ブロックごとに設けられ、前記画素ブロック内の前記信号線を駆動する複数の信号線駆動部と、を備えた液晶表示装置において、

隣接する2つの画素ブロックに対応する2つの前記信号線駆動部のそれぞれには、互いに異なるビデオバスラインから画素データが供給され、

隣接する2つの画素ブロックの境界線より左側の画素ブロックの表示を行う際、前記左側の画素ブロック内の右端の画素に対応する画素データを前記ビデオバスラインに供給した後、引き続いて、その画素の右隣の所定画素分の画素データを前記ビデオバスラインに供給する画素データ出力手段を備えることを特徴とする液晶表示装置。

【請求項3】前記信号線駆動部は、駆動する前記信号線の数に応じた段数のシフトレジスタと、前記信号線のそれぞれに対応して設けられる複数のアナログスイッチとを有し、

前記アナログスイッチは、前記シフトレジスタの対応する出力に応じてオン・オフ制御され、前記アナログスイッチの一端には前記ビデオバスラインが、他端には対応する前記信号線が接続されることを特徴とする請求項1または2に記載の液晶表示装置。

【請求項4】複数の走査線および信号線と、これら走査線および信号線に接続されるスイッチング素子とを有する液晶表示部と、

前記液晶表示部の左右に隣接する複数の画素を単位として複数の分割した画素ブロックごとに設けられ、前記画素ブロック内の前記信号線を駆動する複数の信号線駆動部と、を備えた液晶表示装置の駆動方法において、

隣接する2つの画素ブロックに対応する2つの前記信号線駆動部のそれぞれには、互いに異なるビデオバスラインから画素データが供給され、

隣接する2つの画素ブロックの境界線より右側の画素ブロックの表示を行う際、前記右側の画素ブロック内の左端の画素に対応する画素データを前記ビデオバスラインに供給する前に、その画素の左隣の所定画素分の画素データを前記ビデオバスラインに供給し、

隣接する2つの画素ブロックの境界線より左側の画素ブロックの表示を行う際、前記左側の画素ブロック内の右端の画素に対応する画素データを前記ビデオバスラインに供給した後、引き続いて、その画素の右隣の所定画素分の画素データを前記ビデオバスラインに供給することを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の走査線および信号線が縦横に配置された液晶表示装置の駆動技術に関し、特に、各信号線に接続されたアナログスイッチをオン・オフさせて点順次駆動を行う場合を対象とする。

【0002】

【従来の技術】アクティブマトリクス型液晶表示装置は、各画素ごとにTFT(Thin Film Transistor)を有する。各TFTのゲート端子は走査線に接続され、ドレイン端子またはソース端子の一方は信号線に、他方は表示電極に接続される。各走査線は走査線駆動回路により駆動され、各信号線は信号線駆動回路により駆動される。

【0003】信号線駆動回路の駆動方式の一つに、点順次アナログ方式(サンプルホールド方式)と呼ばれるものがある。図6は従来の点順次アナログ方式の液晶表示装置の概略構成を示す図である。図6の液晶表示装置は、複数の走査線Gおよび信号線Sの間にTFT1が列設された液晶表示部2と、走査線Gを駆動する走査線駆動回路3と、信号線Sを駆動する信号線駆動回路4とを備える。

【0004】信号線駆動回路4は、図7に示すように、液晶表示部2を左右に隣接する複数の画素を単位として複数の画素ブロック10に分割し、各画素ブロック10ごとに信号線Sを駆動する。信号線駆動回路4の内部には、各画素ブロック10に対応して、図6に示すようにN個の信号線駆動部11が設けられている。各信号線駆動部11は、対応する画素ブロック10内のM本の信号線を駆動する。

【0005】各信号線駆動部11は、シフトレジスタ12と、アナログスイッチ13と、サンプルホールド容量14とを有する。アナログスイッチ13とサンプルホールド容量14は各信号線Sに対応して設けられ、シフトレジスタ12は信号線Sの数(M個とする)と同数の出力端子を有する。アナログスイッチ13の一端にはビデオバスラインLが接続され、他端には対応する信号線S

とサンプルホールド容量14とが接続される。

【0006】ビデオバスラインLは、基板上を引き回されるため、かなりの容量成分を有する。このため、ビデオバスラインLとアナログスイッチ13との間には、等価的に、図6のような抵抗15と容量16とが並列接続されているとみなせる。また、信号線Sもかなりの容量成分を有するため、信号線Sの容量をサンプルホールド容量14として利用することもある。

【0007】図8は信号線駆動部11の出力タイミング図である。シフトレジスタ12は、画素クロックに応じてパルスを1クロックずつシフトさせる。シフトレジスタ12からパルスが出力されると、対応するアナログスイッチ13がオンし、ビデオバスラインLからの画素データが信号線Sに供給され、画素データに応じた電荷がサンプルホールド容量14に蓄積される。

【0008】図6の点順次アナログ方式の液晶表示装置は、信号線駆動回路4の構成を簡略化できるという特徴を有し、また、図6のように複数の信号線駆動部11に分けて信号線Sを駆動すると、画素データの帯域幅の不足を補うことができ、高解像度表示が可能となる。

【0009】

【発明が解決しようとする課題】しかしながら、複数の画素ブロック10に分割して各画素ブロック10ごとに信号線Sの駆動を行うようにすると、隣接する画素ブロック10の境界線の左右で輝度差が視認されるという問題がある。

【0010】例えば、図9は画素ブロック10の境界付近の拡大図であり、図示の升目の1つ1つが画素に対応し、点線が画素ブロック10の境界線に対応する。図示のように、境界線の右側の画素は左側の画素よりも輝度が低くなる。

【0011】以下、このような輝度差が生じる理由を説明する。各信号線駆動部11は、画素ブロック10内の左側から右側に画素単位で順に表示を行う。図6のブロック図で説明すると、画素ブロック10内の左端の画素に対応するアナログスイッチ13が一番先にオンし、このアナログスイッチ13に接続された信号線Sに一番先に画素データが供給される。このアナログスイッチ13に接続された容量16には、この時点では電荷は蓄積されていないため、アナログスイッチ13から信号線Sに供給される電圧は、ビデオバスラインLから供給される画素データにのみ依存する電圧になる。

【0012】また、このとき、他のアナログスイッチ13の入力側の容量16にはそれぞれ、ビデオバスラインLから供給される画素データに応じた電荷が蓄積される。このため、画素ブロック10内の左端から2画素目以降の画素を表示する際には、ビデオバスラインLから供給される画素データと容量16に蓄積された電荷とに応じた電圧が、対応する信号線Sに供給される。

【0013】すなわち、画素ブロック10内の左端から

2画素目以降の画素に対応するアナログスイッチ13がオンすると、容量16に蓄積された電荷とビデオバスラインLからの画素データとに応じた電圧が信号線Sに供給され、画素データ本来の輝度とは多少異なる輝度になる。

【0014】画素ブロック10内の右側の画素ほど、容量16に蓄積される電荷量が多くなる。このため、隣接する2つの画素ブロック10の境界線の右隣の画素はその直前画素の影響を強く受けた輝度になる。一方、境界線の左隣の画素は直前画素の影響を全く受けない輝度になるため、境界線の左右で輝度差が視認される。

【0015】このような輝度差は、階調表示を行っていないときはあまり目立たないが、階調表示を行うとはっきりと視認され、表示品質を低下させる大きな要因になっていた。

【0016】本発明は、このような点に鑑みてなされたものであり、その目的は、隣接する2つの画素ブロックの境界線の左右で輝度差が視認されないようにした液晶表示装置およびその駆動方法を提供することにある。

【0017】

【課題を解決するための手段】上述した課題を解決するために、請求項1の発明は、複数の走査線および信号線と、これら走査線および信号線に接続されるスイッチング素子とを有する液晶表示部と、前記液晶表示部の左右に隣接する複数の画素を単位として複数の分割した画素ブロックごとに設けられ、前記画素ブロック内の前記信号線を駆動する複数の信号線駆動部と、を備えた液晶表示装置において、隣接する2つの画素ブロックに対応する2つの前記信号線駆動部のそれぞれには、互いに異なるビデオバスラインから画素データが供給され、隣接する2つの画素ブロックの境界線より右側の画素ブロックの表示を行う際、前記右側の画素ブロック内の左端の画素に対応する画素データを前記ビデオバスラインに供給する前に、その画素の左隣の所定画素分の画素データを前記ビデオバスラインに供給する画素データ出力手段を備える。

【0018】また、請求項2の発明は、複数の走査線および信号線と、これら走査線および信号線に接続されるスイッチング素子とを有する液晶表示部と、前記液晶表示部の左右に隣接する複数の画素を単位として複数の分割した画素ブロックごとに設けられ、前記画素ブロック内の前記信号線を駆動する複数の信号線駆動部と、を備えた液晶表示装置において、隣接する2つの画素ブロックに対応する2つの前記信号線駆動部のそれぞれには、互いに異なるビデオバスラインから画素データが供給され、隣接する2つの画素ブロックの境界線より左側の画素ブロックの表示を行う際、前記左側の画素ブロック内の右端の画素に対応する画素データを前記ビデオバスラインに供給した後、引き続いて、その画素の右隣の所定画素分の画素データを前記ビデオバスラインに供給する

画素データ出力手段を備える。

【0019】請求項1、2の発明を、例えば図1に対応づけて説明すると、「スイッチング素子」はTFT1に、「液晶表示部」は液晶表示部2に、「信号線駆動部」は信号線駆動部11a～11dに、「画素データ出力手段」は画素データ出力回路5に、それぞれ対応する。

【0020】

【発明の実施の形態】以下、本発明を適用した液晶表示装置について、図面を参照しながら具体的に説明する。図1は本発明に係る液晶表示装置の一実施形態の概略構成を示すブロック図である。図1では、図6に示した従来の液晶表示装置と同じ構成部分には同一符号を付している。

【0021】図1の液晶表示装置は、複数の走査線Gおよび信号線Sが縦横に列設された液晶表示部2と、各走査線Gを駆動する走査線駆動回路3と、各信号線Sを駆動する信号線駆動回路4と、複数のビデオバスラインL1～L4を介して信号線駆動回路4に画素データを供給する画素データ出力回路5とを備える。

【0022】信号線駆動回路4は、複数の信号線駆動部11からなり、各信号線駆動部11はそれぞれ、液晶表示部2内の信号線をM（Mは2以上の整数）本ずつ駆動する。なお、図1の装置は、画面を左右に4分割する例を示しており、計4つの信号線駆動部11a～11dが設けられている。

【0023】各信号線駆動部11a～11dはそれぞれ、シフトレジスタ12と、アナログスイッチ13と、サンプルホールド容量14とを有する。アナログスイッチ13とサンプルホールド容量14は、信号線Sの数（M個）だけ設けられ、アナログスイッチ13の一端にはビデオバスラインL1～L4が接続され、他端には対応する信号線Sとサンプルホールド容量14とが接続されている。

【0024】ビデオバスラインL1～L4は、各信号線駆動部11a～11dのそれぞれに対応して別々に設けられている。より詳細には、ビデオバスラインL1は最も左側の画素ブロック10に対応する信号線駆動部11aに、ビデオバスラインL2はその右隣の画素ブロック10に対応する信号線駆動部11bに、ビデオバスラインL3はその右隣の画素ブロック10に対応する信号線駆動部11cに、ビデオバスラインL4は最も右側の画素ブロック10に対応する信号線駆動部11dに、それぞれ画素データを供給する。

【0025】画素データ出力回路5は、内部にD/Aコンバータを備えており、外部から入力されたデジタル画素データをアナログの画素データに変換して、各ビデオバスラインL1～L4に供給する。

【0026】図2はビデオバスラインL1～L4のタイミング図であり、液晶表示部2の水平（左右）方向の画

素数が16画素の例を示している。以下では、水平方向1ライン分の画素のうち、最も左側の画素を0画素、最も右側の画素を15画素とする。

【0027】信号線駆動部11aに画素データを供給するビデオバスラインL1には、液晶表示部2の対向電極に印加される電圧とはほぼ同じ電圧（以下、ベタデータと呼ぶ）が所定時間供給された後、画素ブロック10内の0画素目から25画素目までの画素データが供給され、それに引き続いて、右隣の画素ブロック10内の左端から2画素分（26、27画素目）の画素データが供給される。

【0028】一方、信号線駆動部11bに画素データを供給するビデオバスラインL2には、左隣の画素ブロック10内の右端2画素分（24、25画素目）の画素データが供給された後に、画素ブロック10内の26画素目から51画素目までの画素データが供給され、それに引き続いて、右隣の画素ブロック10内の左端2画素分（52、53画素目）の画素データが供給される。

【0029】一方、信号線駆動部11cに画素データを供給するビデオバスラインL3には、左隣の画素ブロック10内の右端2画素分（50、51画素目）の画素データが供給された後に、画素ブロック10内の52画素目から77画素目までの画素データが供給され、それに引き続いて、右隣の画素ブロック10内の左端2画素分（78、79画素目）の画素データが供給される。

【0030】一方、信号線駆動部11dに画素データを供給するビデオバスラインL4には、左隣の画素ブロック10内の右端2画素分（76、77画素目）の画素データが供給された後に、画素ブロック10内の78画素目から103画素目までの画素データが供給され、それに引き続いて、上述したベタデータが供給される。

【0031】このように、画素データ出力回路5は、隣接する2つの画素ブロック10の境界線より右側の画素ブロック10内の画素表示を行う際には、その画素ブロック10内の画素データをビデオバスラインに供給する前に、その左隣の画素ブロック10の左端2画素分の画素データをビデオバスラインに供給する。これにより、画素ブロック10内の左端の画素に対応する図1に示した容量16に、予め直前画素の画素データに応じた電荷を蓄積することができる。

【0032】また、隣接する2つの画素ブロック10の境界線より左側の画素ブロック10を表示する際には、その画素ブロック10内の右端の画素データをビデオバスラインに供給した後、その右隣の画素ブロック10の左端2画素分の画素データをビデオバスラインに供給する。これにより、画素ブロック10内の右端の画素に対応する図1に示した容量16に、その右隣の画素の画素データに応じた電荷を蓄積させることができる。

【0033】このような駆動方法により、図1の各容量16に蓄積される電荷量のばらつきを少なくでき、図3

に示すように、隣接する2つの画素ブロック10の境界線の左右で輝度差がほとんど視認されなくなる。

【0034】なお、上述した実施形態では、画素ブロック10の左隣と右隣の画素データ2画素分ずつをビデオバスラインに供給しているが、両隣の画素データを供給する代わりに、左隣か右隣のいずれか一方の画素データを供給してもよい。

【0035】また、図1では、各信号線駆動部11a～11dごとに別々にビデオバスラインL1～L4を設ける例を示したが、本発明は、隣接する2つの画素ブロック10に対応する2つの信号線駆動部11のビデオバスラインが異なっていればよく、1本のビデオバスラインを複数の信号線駆動部11で共有してもよい。

【0036】例えば、図4は、液晶画面を4分割して2本のビデオバスラインL1、L2を設け、各ビデオバスラインL1、L2が2つの信号線駆動部11に接続される例を示す。この場合、ビデオバスラインL1、L2に供給される画素データは、例えば図5のようになる。すなわち、画素ブロック10内の画素表示を行うタイミングをずらすことにより、ビデオバスラインを共有化することができる。

【0037】また、図1では、液晶画面を4分割する例を説明したが、液晶画面の分割数に特に制限はない。また、ビデオバスラインに供給される直前および直後の画素データの数も特に制限はなく、1画素でも、3画素でも、それ以上でもよい。何画素を付加するかを、プログラマブルに切り換えてもよい。

【0038】

【発明の効果】以上詳細に説明したように、本発明によ

れば、画素ブロックの境界線に最も近い画素の画素データをビデオバスラインに供給する際には、その画素の左隣あるいは右隣の画素の画素データも併せてビデオバスラインに供給するようにしたため、画素ブロックの境界線の左右で輝度差が視認されなくなり、表示品質が向上する。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の一実施形態の概略構成を示すブロック図。

【図2】図1におけるビデオバスラインL1～L4のタイミング図。

【図3】本実施形態における液晶画面表示例を示す図。

【図4】ビデオバスラインを共有化した液晶表示装置の概略構成を示すブロック図。

【図5】図4におけるビデオバスラインL1～L4のタイミング図。

【図6】従来の点順次アナログ方式の液晶表示装置の概略構成を示す図。

【図7】液晶表示部内の画素ブロックを説明する図。

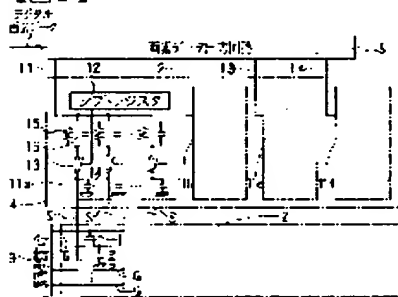
【図8】信号線駆動部の出力タイミング図

【図9】画素ブロックの境界付近の拡大図

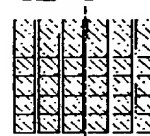
【符号の説明】

- 1 TFT
- 2 液晶表示部
- 3 走査線駆動回路
- 4 信号線駆動回路
- 5 画素データ出力回路
- 11a～11d 信号線駆動部

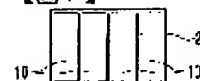
【図1】



【図3】



【図7】



【図2】

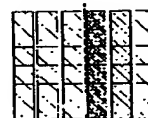
デジタル・アナログ変換器

デジタル・アナログ変換器
デジタル・アナログ変換器
デジタル・アナログ変換器
デジタル・アナログ変換器
デジタル・アナログ変換器
デジタル・アナログ変換器

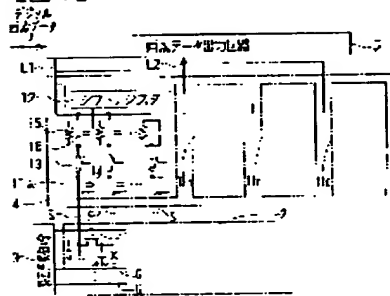
【図8】



【図9】



【図4】

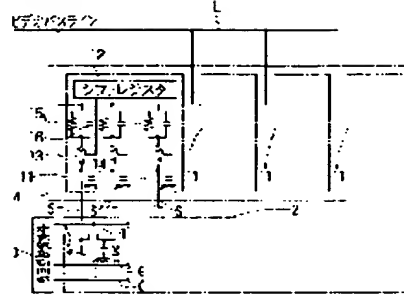


【図5】

デジタル・アナログ変換器

デジタル・アナログ変換器
デジタル・アナログ変換器
デジタル・アナログ変換器
デジタル・アナログ変換器

【図6】



This Page Blank (uspto)